

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-092921

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 21/76  
H01L 21/304

(21)Application number : 09-237832

(71)Applicant : MOTOROLA INC

(22)Date of filing : 20.08.1997

(72)Inventor : GILBERT PERCY V  
IYER SUBRAMONEY  
SMITH BRADLEY P  
THOMPSON MATTHEW A  
KEMP KEVIN  
DHAR RAJIVE

(30)Priority

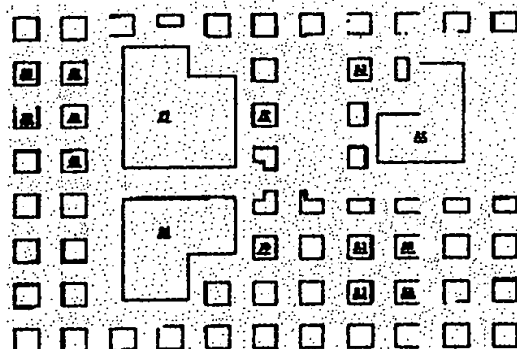
Priority number : 96 704481 Priority date : 21.08.1996 Priority country : US

## (54) INTEGRATED CIRCUIT HAVING DUMMY STRUCTURES AND METHOD OF FORMING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To form a structure which improves the flatness of the polishing process, without adding any manufacturing step, as dishing is caused by the change of the polishing rate due to the pattern density variation if dummy structures are positioned at random during polishing a nonconductive material for filling up trench structures at a semiconductor device manufacturing process having a trench isolation.

**SOLUTION:** Dummy structures 20 are disposed on first parts not occupied by active devices so that the occupied density of the first parts is equal to second parts occupied by active devices, thus make the polishing rate uniform over the surface of a semiconductor substrate. A dummy substrate pattern is added to a layout pattern of an integrated circuit and can be determined previously so as to avoid intersection of well boundaries or active regions 27 and avoid the existence below conductive materials such as polysilicon layers or interconnect structures, without adding a manufacturing step.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-92921

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.<sup>6</sup>H 0 1 L 21/76  
21/304

識別記号

3 2 1

F I

H 0 1 L 21/76  
21/304

L

3 2 1 S

審査請求 未請求 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平9-237832

(22) 出願日 平成9年(1997) 8月20日

(31) 優先権主張番号 7 0 4 4 8 1

(32) 優先日 1986年8月21日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド  
MOTOROLA INCORPORAT  
EDアメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者 パーシー・ブイ・ギルバート

アメリカ合衆国テキサス州オースティン、ウ  
ルフトラップ・ドライブ10318

(72) 発明者 サプラマネイ・アイヤー

アメリカ合衆国テキサス州オースティン、デ  
ュバル・ロード3625

(74) 代理人 弁理士 大貫 進介 (外1名)

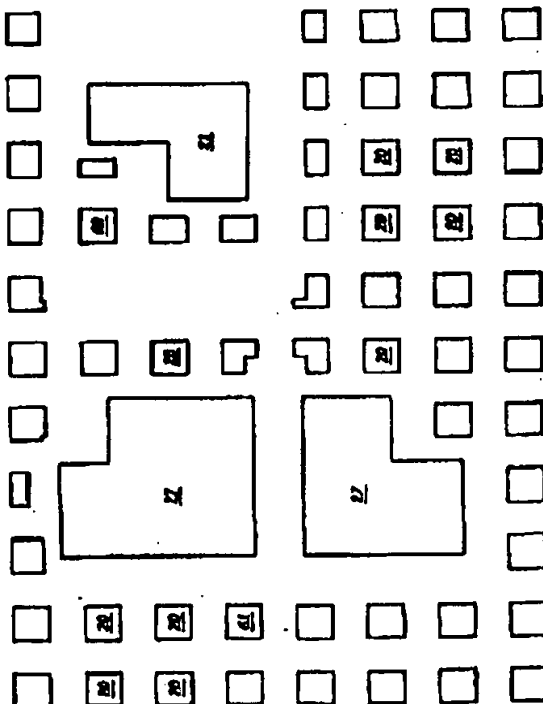
最終頁に続く

(54) 【発明の名称】 ダミー構造体を有する集積回路およびその形成方法

(57) 【要約】

【課題】 トレンチアイソレーションを有する半導体デバイス製造工程にてトレンチ構造を埋める非導電物質を研磨する際、ランダムにダミー構造体を位置付けるとパターンの密度の高低により研磨速度が変化し、ディッシング問題を引き起こす。そこで、製造工程を追加することなく、この研磨速度の問題を解決するための方法および集積回路を提示する。

【解決手段】 アクティブデバイスのない部分とアクティブデバイスのある部分との占有密度が等しくなるように、各ダミー構造体が、アクティブデバイスのない部分に配置され、それにより半導体基板の表面に亘って研磨速度を均等にする。また、ダミー構造体パターンが、集積回路のレイアウトパターンに追加されることにより製造工程を追加することなく、ウェル境界またはアクティブ領域との交差およびポリシリコンのレイヤまたは相互接続構造などの導電物質下方への存在を避けるよう前もって決められる。



(2)

特開平10-92921

1

【特許請求の範囲】

【請求項1】 半導体基板上に形成される集積回路であ

り、  
前記半導体基板は、電気的アクティブデバイスから構成される第1領域および電気的アクティブデバイスのない第2領域を有するところの集積回路であって：ウェル領域を決定する半導体基板上にあるウェル境界；および第1間隔だけウェル境界から離れて位置付けられ、第2領域内にあるダミー構造体；から構成されることを特徴とする集積回路。

【請求項2】 集積回路のレイアウト内にダミー構造体パターンの位置を決定する方法であり、前記集積回路はウェル境界を定めるパターン、アクティブ領域を定めるパターンおよび導電レイヤを定めるパターンを有するところの方法であって：前記ウェル境界を定めるパターンの周辺にある第1境界領域を決定する段階（図3）；アクティブ領域を定めるパターンを導電レイヤを定めるパターンにマージし、マージパターンをもたらしマージ段階（図4）；マージパターンの周辺にある第2境界領域を決定する段階（図5）；前記ダミー構造体のパターンが第1境界領域および第2境界領域と交差しないように、集積回路内にダミー構造パターンを形成する段階（図6）；から構成されることを特徴とする方法。

【請求項3】 半導体基板上に集積回路を形成する方法であり、

前記集積回路はウェル境界、アクティブ領域および導電レイヤから構成されることを特徴とする方法であって：ダミー構造体がウェル境界から第1間隔だけ、アクティブ領域から第2間隔だけおよび導電レイヤから第3間隔だけ離れているダミー構造体であって、ウェル境界と交差せず、導電レイヤから離れているダミー構造体をもたらしために半導体基板上にトレンチ構造を形成する段階；から構成されることを特徴とする方法（図6）。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般に集積回路の製造に関し、特に集積回路上のダミー構造体の形成に関する。

【0002】

【従来の技術および発明が解決しようとする課題】 一部の進歩した半導体デバイスは、近隣の構造から半導体デバイスを電気的に分離するための方法として、トレンチアイソレーション (trench isolation) を採用している。トレンチアイソレーション構造は、要するに、半導体基板上に製造するレイヤの最初のパターンニングによって形成される。次に反応性イオンエッチ (RIE) が、トレンチ構造を形成するために半導体基板の露光部分の除去に使用される。トレンチはシリコン酸化物のような非導電物質 (non-conductive material) で充填される。半導体デバイスの形成が続行される前に、非導電物質は、充填されたトレンチ構造を維持しながらも、半導

2

体基板の表面を平坦化するために研磨されなければならない。

【0003】 しかしながら、トレンチ構造の密度は、化学的および機械的研磨 (chemical and mechanical polishing (CMP)) のような従来の研磨技術 (polishing techniques) を使用する場合、ディッシング (dishing) 問題の原因となる。トレンチパターンの密度の増加に伴い、トレンチパターンの領域における研磨速度は、除去されるべき余分な物質の存在のために減少する。結果、孤立したトレンチ構造は、高密度のトレンチ構造を有する基板の領域よりも速く研磨されるはずである。このことによって、分離された構造にある非導電物質はより高密度領域よりも多く研磨されてしまい、それによって結果として不均一 (non-uniformity) に研磨すること ("ディッシング (dishing)" と呼ばれる) になる。

【0004】 ディッシング問題を直すために使用される一方法としては、本来トレンチを形成するために使用されるN型レイヤ (n-layer) または逆パターンを使用する反応性イオンエッチ (RIE) で導電物質を最初にエッチすることである。このようにすれば非導電物質のバルクは、研磨工程に先だってRIEエッチで除去される。しかしながらこのN型レイヤ技術は、追加のフォトリソマスク (photolithographic mask) および製造工程を必要とし、半導体デバイスのイールドを低下させるパーティクル欠陥 (particle defects) を形成しやすくなる。

【0005】 非導電レイヤの平坦性の改善を試みる他の技術としては、デバイスの周辺にダミーまたはタイル構造 (dummy or tile structures) を形成することである。これは、基板に亘って研磨速度を等しくする試みとして、デバイスに単にランダムにダミー構造体を導入することによって達成される。しかしながらこの技術は、デバイスを形成するために使用される様々なウェル構造間または配線構造間のショートを引き起こし得る。この方法は、デバイスの容量を変える程の大きな構造を導入することで、デバイスのパフォーマンスにも影響を与え得る。

【0006】 以上により、トレンチアイソレーションが採用される場合に、非導電物質の平坦化を改善するための方法を提供することが有益であることは明らかである。さらにその方法の提供は、その方法が追加のフォトリソマスクの使用が必要なく、半導体デバイスの回路導電部分が電気的なショートをしなければ、有益である。

【0007】

【好適実施例の詳細な説明】 一般的に、本発明は、半導体基板の表面の研磨速度を均等にするために使用されるダミー構造体 (dummy mesa structures) の位置を決定するための方法を提供する。以下に記述されるプロセスを使用すれば、ダミー構造体はもはや集積回路の周囲に限定されない。ダミー構造体が集積回路のアクティブデバイス (active devices) の周囲および内側に存在する

10

20

30

40

50

## 3

ように、ダミー構造体を位置付けることも可能である。ダミー構造体がない場合、半導体基板の表面に亘る研磨速度のむらのために、CMPポリッシュが半導体基板を非平坦(uneven)にする。本発明は、半導体デバイスのウェル、アクティブおよび導電領域の範囲を定めるために使用されるフォトリソパターン(photolithographic patterns)を考慮し、そしてアクティブデバイスの存在しない集積回路の部分に、ダミー構造体パターン(dummy structure pattern)を導入する。このことは、ダミー構造体が、ウェル領域にあるいは隣接する構造間に亘って電気的ショート(electrical shorting)を引き起こさないことを確保する。

【0008】本発明はまた、ダミー構造体が集積回路に導く寄生容量を考慮することによって、集積回路のパフォーマンスの問題に対処する。本発明は、追加のフォトリソマスクを付加することなしに、これらの問題に対処できる。なぜならば集積回路を形成するために使用される幾何学的レイアウト図(layout geometries)は、どのフォトリソマスクの製造にもあらかじめ操作されるからである。

【0009】本発明は図1〜7を参照することで、より深い理解が可能となる。

【0010】図1に本発明のより詳細な説明が提示されている。図1は、半導体基板11の上に形成される集積回路10の一部の拡大断面図である。集積回路10の様々な要素間の電気的分離(electrical isolation)はトレンチアイソレーション構造の使用を採用している。トレンチアイソレーション構造を形成するために、通常、機械的研磨または化学的機械的研磨(CMP)プロセスが使用される。図1に示すように、集積回路10のアクティブ領域はメサ構造(mesa structures)14によって与えられ、メサ構造14はトレンチ構造(trench structures)13によってその範囲が決定される。トレンチ構造13を形成するために、マスクレイヤ(masking layer)12(例えばシリコンナイトライド(silicon nitride))が半導体基板11の表面に形成される。フォトリソパターンがマスクレイヤ12の上に形成され、反応性イオンエッチ(RIE)が、RIEエッチマスクとしてフォトリソパターンを利用しながらトレンチ構造13を形成するために、使用される。そして、トレンチ構造13は、不可欠な電気的アイソレーションをトレンチ構造13内に供給するために、非導電物質15(シリコン酸化膜またはテオス(例えばtetraethylorthosilicate (TEOS) glass))で満たされる。

【0011】研磨工程は、トレンチの開口の頂点の上に覆いかぶさる非導電物質15の余剰部分を除去するのに使用される。この研磨は、図1におけるレイヤ12の頂点部を平坦表面レベル(planar surface level)として与えられる。従来の集積回路においては、隣接するメサ構造間の間隔にはむらがあり、時には極めて大きくな

(3)

特開平10-92921

## 4

り得る。その結果、除去されるべき非導電物質の密度が、基板に亘ってむらになる。密度のむら(variation)は、結果的に半導体ウェハ上の異なるポイントでの研磨速度のむらとなる。その研磨速度のむらは、研磨工程の完了後、基板の表面を非平坦にする。

【0012】本発明は、集積回路10のアクティブデバイスが存在しない部分にダミー構造体のパターンを形成することによって、この均一性(uniformity)の問題に対処する。ダミー構造体20は、隣接したメサ構造14の間に存在する大きなスペース(spaces)(図1の括弧16で示されている)を占めている。注意すべき点は、ダミー構造体20の適当なサイズと位置の決定である。もし、見極めなく位置付けられれば、ダミー構造体20は、集積回路10の隣接したウェル領域(図示せず)を短絡させてしまう。さらに、従来のデバイスに形成されていた非導電物質15に代えて、ダミー構造体20を用いることは、集積回路10の容量性負荷(capacitive loading)に影響するであろう。そして、このことは集積回路10のパフォーマンスを低下させ得る。

【0013】図2には、ダミー構造体20の位置を決定するための方法が図示されている。図2は、集積回路10の部分の上からの平面透視図であり、ダミー構造体20を形成するのに適当な集積回路10の一部を図示している。集積回路10は、1つのp型デバイス24、2つのn型デバイス25、26から構成される。本発明は、キャパシタ構造、抵抗構造、ダイオード、メモリセル、バイポーラデバイスなどのような、他の半導体デバイスにも適用されることができる。

【0014】p型デバイス24は、ウェル境界(well boundary)17を有するn型ウェル領域(n-type well region)18に形成される。ウェル境界17は、n型デバイス25、26のために使用されるp型ウェル領域(p-type well region)19からn型ウェル領域18を分離する。好適実施例としては、基板11は、p型ウェル領域19に少なくともいくつかのドーピング原子を供与するために、p型物質から形成される。p型デバイス24は、ゲート構造を形成するためあるいは必要な電気的接続を供給するために使用される導電レイヤ(conductive layers)に覆われるアクティブ領域21を有する。p型デバイス24のゲート構造はポリシリコンレイヤ22で形成され、コンタクトまたは隣接するデバイスへの電気的接続は相互接続構造(interconnect structures)またはコンタクト23によって供給される。ソースおよびドレイン電極を電気的に接続するために使用されかつ覆いかぶさる誘電材料(overlying dielectric material)に亘る開口として、相互接続構造23は利用される。メタルまたはポリシリコン(レイヤ22でも追加されるポリシリコンレイヤでもよい)は、開口23を満たす導電物質を形成するために使用される。n型デバイス25、26もまた、アクティブ領域27ならびに

5

ポリシリコン28および相互接続構造29のレイヤのよう  
な覆いかぶさる導電レイヤ (overlying conductive layers) を有する。

【0015】第1点線枠が、電気的アクティブデバイス  
(すなわち、n型デバイス25、26) から構成される  
集積回路10の第1領域31を示す。第2点線枠が、電  
気的アクティブデバイスの無い基板11の第2領域32  
を示す。第1領域31と比較して第2領域32のパタ  
ーン密度 (pattern density) が異なるため、第1領域  
31は、第2領域32における構造よりも研磨速度が遅  
い。従来の研磨工程では、第2領域32における構造  
は、第1領域31に存在するすべての余計な非導電物質  
を除去するためにより長い研磨に晒されなければならない。  
このことは、'ディッシング' 現象を引き起こし、  
そして第2領域32における構造が過剰研磨 (over polished) される原因となる。

【0016】しかしながら本発明は第2領域32にダミー  
構造体のパターンを形成することによって、第2領域  
32の研磨速度を第1領域31の研磨速度にほぼ等しく  
なるように調整し、それによってディッシングが回避さ  
れる。ダミー構造体は半導体基板11に亘って研磨速度  
を等しくし、その結果表面の平坦性は、前記従来の研磨  
工程と比較して改善される。

【0017】ダミー構造体20の適当な位置を決定する  
方法は、集積回路10の様々な構造を定めるために使用  
されるレイアウトパターンに手を加えることを必要とす  
る。一般にこれらのパターンは、コンピュータがレイア  
ウトプログラムで作成し、フォトリソマスクを介して半  
導体基板11に転写される。ダミー構造体20の適当な  
大きさおよび位置の決定後、その大きさおよび位置の情  
報は、集積回路10を形成するために使用されかつ既に  
要求されていたフォトリソマスク (already-required photolithographic mask) の中に、統合される。それによ  
って、ダミー構造体の形成のための追加のマスクまたは  
フォト工程ステップは不必要となる。

【0018】本発明の方法は、ウェル境界17と交差ま  
たは接触するダミー構造体20が存在しないことを最初  
に確認することによって開始される。ダミー構造体20  
がウェル境界と交差または横切らないことおよび図2の  
n型ウェル領域18とp型ウェル領域19との間のよう  
なウェル間のショートの原因にならないことが重要であ  
る。図3に示すように、このことを達成するために、第  
1境界または第1境界領域33はウェル境界17の周辺  
に定義されている。ウェル境界17のパターンを作成す  
るコンピュータを使用して、ウェル境界17よりも大き  
い場合の第1間隔35およびウェル境界17よりも小さ  
い場合の第2間隔34を当該領域33が有するように、  
第1境界領域33は作成される。そして当該領域33に  
第1間隔35および第2間隔34の合計であるトータル  
間隔36をもたらす。故に、領域33は、トータル間隔

(4)

特開平10-02921

6

36の大きさの幅を有する"中空の" ("hollow") 長方  
形である。

【0019】第1間隔35および第2間隔34は一般  
に、集積回路10の製造に使用される技術であるラッチ  
アップガイドライン (latch-up guidelines) によって  
決定される。例えば、第1間隔35および第2間隔34  
は各々少なくとも約0.75ミクロンであり、好適には、現  
在の集積回路にとって最も高いドーピング濃度の場合で  
約1ミクロンから3ミクロンである。第1間隔35は、第  
1境界領域33がp型ウェル境界19に向かって広がる  
間隔と一致し、そして第2間隔34は、第1境界領域3  
3がn型ウェル境界18の内側まで広がるときのウェル  
境界17との間隔と一致する。注意すべきは、第1境界  
領域33の形成は、結果として、統一した全体のウェル  
境界17からいくつかの小さなパターンとしてのウェル  
境界17にし得ることである。このことは、ダミー構造  
体20が最小のウェル領域ですら交差しないという事が  
確認される以上は、問題ない。第1境界領域33は、ダ  
ミー構造体20が位置付けられていない集積回路10を  
含む領域を定めている。

【0020】図4に示すように、もしダミー構造体20  
が、集積回路10を形成するために使用されるポリシリ  
コンまたはアルミニウムのような導電レイヤの下方に形  
成されれば、集積回路10の容量性負荷 (capacitive loading) は増加するであろう。容量結合 (capacitive coupling) の増加を防止するために、マージ領域 (merged region) 37は、集積回路10の導電領域およびアク  
ティブ領域を定めるレイアウトパターンをマージするこ  
とにより決定される。このマージ領域は、ダミー構造体  
20が形成されない第2境界領域を形成するための全ての  
処理限界 (processing limitations) またはフォトリ  
ソ能力 (photolithographic capabilities) を考慮し  
て、任意に大きくできる。

【0021】図4に示されるように、マージ領域 (merged region) 37は、図1に示されるアクティブ領域2  
1、アクティブ領域27、ポリシリコンレイヤ22、2  
8および相互接続構造23、29を備えるパターンの組  
合せによって形成される。そして、マージ領域37は、  
図4に示されるパターンを供給するために約0.5~5ミク  
ロンだけ (容量性軽減の確保として) サイズを過大にし  
ている。このことによって、ダミー構造体20が集積回  
路10の全ての導電構造と交差するのを防ぐ。本発明は  
また、集積回路10のパフォーマンスに影響を与える全  
ての導電物質と下方または上方 (under or overlapped) でダミー構造体20が重畳するのを防ぐ。このこ  
とは、アクティブ領域21、27の周縁または周辺の一番  
目の境界を形成し、ポリシリコンレイヤ22、28およ  
び相互接続構造23、29の周縁または周辺の二番目の  
境界を形成し、そしてマージ領域37を形成するために  
それら2つのパターンを互いにマージすることと同等で

7

ある。マージ領域37を決定するために使用される工程の間には、2またはそれ以上の境界領域が互いに重畳することが可能である。この場合、重畳した当該領域の全体はダミー構造体20の形成に適当でないと考えられる。

【0022】図5では、制限領域(restricted regions)38の決定または形成によって本発明の方法が実行される。制限領域38は、集積回路10内のダミー構造体20が形成されない領域として、決定される。制限領域38は、図4のマージ領域37と図3の第1境界領域33の重疊によって、形成される。第1境界領域33とマージ領域37の全ての重複部は、制限領域38の一部として含まれる。集積回路10の内の制限領域38に含まれない部分の全てが、ダミー構造体パターンが形成される領域39である。

【0023】図6に示されるパターンを提供するためにダミー構造体20のパターンに図5の制限領域38を重ねる。当該ダミー構造体20のパターンはダミー構造体20およびダミー構造体50の繰り返しのパターンにより構成される。ダミー構造体50は、集積回路10を形成するために使用される技術により形成するには小さすぎ、手短に記述されるようにダミー構造体20のパターンから除去される構造体である。

【0024】ダミー構造体20の繰り返しのパターンによって、領域39のトータル表面領域に対する領域39のダミー構造体20で占められる領域の割合として定義される占有密度(fill density)を有する。この占有密度は、図5の制限領域38内に存在する構造体の密度と良く一致するように合わせ込むことができ、それによって半導体基板11の表面全体ができるだけ均一な研磨速度を有するようにする。好適には、繰り返しのパターンの密度は約5〜40パーセントであり、各ダミー構造体20は互いに均等な間隔をもって離れている。半導体基板11に亘ってダミー構造体20の密度を合わせ込むために、領域39に亘ってランダムにダミー構造体20を分布させることもできる。図示するように、ダミー構造体20は長方形の形をしている。しかし、各ダミー構造体20の形状は変えることもできし、集積回路10を形成するために使用される構造の形状ですら用い得る。

【0025】一旦、ダミー構造体20の位置が決定すれば、集積回路10のアクティブ領域21、27を決定するために使用されるフォトリソマスク(photolithographic mask)にダミー構造体20のパターンを追加することにより、ダミー構造体20の形成が集積回路10の製造工程に導入される。図7にそのようなパターンを図示する。図7では、図2に示される集積回路10の一部を形成するために使用されることとなるパターンを図示する。図7のパターンはフォトリソマスクに転写され、図1に示されるメサ構造14のような集積回路10のアクティブ領域を決定するために、使用される。さらに、

(5)

特開平10-02921

8

このパターンは、図1に示されるようなダミー構造体20を形成するための構造を含む。故に、追加のフォトリソマスクを加えるのではなく、フォトリソマスクに変更を加えることによって、ダミー構造体20のパターンは集積回路10の製造フローに組込むことが可能である。ダミー構造体20は、半導体基板11の中に形成される代わりに、フィールド酸化構造体(field oxide structures)のパターンのように半導体基板11の上に形成されるように、当該ダミー構造体20のパターンを統合することが可能である。

【0026】集積回路10の残りの製造工程は従来技術の使用によって形成し得る。従来技術において、アクティブ領域の位置(すなわち、アクティブ領域21、27)を決定するために使用されるフォトリソパターン(photolithographic pattern)の部分は、半導体基板に不純物をインプラント(implanting)するためのパターンの提供にも共通に使用される。例えば、アクティブ領域21を定めるパターンは、n型ウェル領域18内にあるp型デバイス24の部分にだけ特定のドーパント種がドーパされるように使用される追加フォトリソマスクを生成するために、転写される。このフォトリソマスク上では、アクティブ領域21がインプラントされるときにこれらのアクティブ領域27がドーパされないように、アクティブ領域27の範囲を決定するパターンの部分は省かれている。

【0027】本発明は、アクティブ領域にインプラントするために使用されるフォトリソパターンに含まれない各ウェル領域に存在するダミー構造体20以外は、この技術を利用している。その代わりに、p型ウェル領域19に存在するダミー構造体20のパターンは、アクティブ領域21にインプラントするために使用されるフォトリソマスクに含まれる。同様に、ウェル領域18に存在するダミー構造体20のパターンは、アクティブ領域27にインプラントするために使用されるフォトリソパターンに含まれる。その結果として、各ダミー構造体20は、当該ダミー構造体があるウェル領域の中の導電性物質(conductivity)とは反対の特性の導電性物質(opposite conductivity)でドーパされる。

【0028】このことによって、各ダミー構造体に孤立したダイオードを形成し、さらに集積回路10に存在する各ダミー構造体20に影響を与える容量性負荷を減少させる。例えば、図7におけるダミー構造体60(n型ウェル領域18に存在する)は、アクティブ領域27をドーパするために使用されるフォトリソパターンに含まれ、アクティブ領域27が形成されるときにn型ドーパントでインプラントされる。このように、ダミー構造体60、61はフローティングダイオード(floating diodes)を形成する。

【0029】以上により、本発明が研磨工程の平坦性を改善する構造を形成するための構造体および方法を提供

本  
願  
の  
特  
許  
文  
書  
に  
お  
け  
る  
「  
図  
7  
」  
の  
パ  
ー  
ン  
は  
、  
図  
2  
に  
示  
さ  
れ  
る  
集  
積  
回  
路  
1  
0  
の  
一  
部  
分  
を  
形  
成  
す  
る  
た  
め  
に  
使  
用  
さ  
れ  
る  
こ  
と  
と  
な  
る  
パ  
ー  
ン  
を  
図  
示  
す  
る  
。

(6)

特開平10-92921

10

9

することが認識されるであろう。当該方法では、フォトリソパターンが集積回路を形成するために使用され、ダミー構造体の位置を決定することを考慮している。ダミー構造体を形成するためのパターンは、集積回路を形成するために使用されるフォトリソマスクに含まれる。故に、本発明は、追加の製造コストなしに研磨工程の平坦性を改善できる。

【図面の簡単な説明】

【図1】本発明に従った集積回路の一部の拡大断面図；

【図2】本発明に従った集積回路の一部の拡大平面図；  
および

【図3】本発明に従った方法の様々なステージでのフォトリソパターン (photolithographic patterns) の拡大平面図。

【図4】本発明に従った方法の様々なステージでのフォトリソパターン (photolithographic patterns) の拡大平面図。

【図5】本発明に従った方法の様々なステージでのフォトリソパターン (photolithographic patterns) の拡大平面図。

【図6】本発明に従った方法の様々なステージでのフォトリソパターン (photolithographic patterns) の拡大平面図。

【図7】本発明に従った方法の様々なステージでのフォトリソパターン (photolithographic patterns) の拡大平面図。

【符号の説明】

10 集積回路

11 半導体基板

12 マスクレイヤ

13 トレンチ構造

14 メサ 造

15 非導電物質

16 括弧

17 ウェル境界

18 n型ウェル領域

19 p型ウェル領域

20 ダミー構造体

21 アクティブ領域

10 22 ポリシリコンレイヤ

23 相互接続構造

24 p型デバイス

25 n型デバイス

26 n型デバイス

27 アクティブ領域

28 ポリシリコンレイヤ

29 相互接続構造

31 第1領域

32 第2領域

20 33 第1境界領域

34 第2間隔

35 第1間隔

36 トータル間隔

37 マージ領域

38 制限領域

39 領域 (ダミー構造体が形成される領域)

50 ダミー構造体

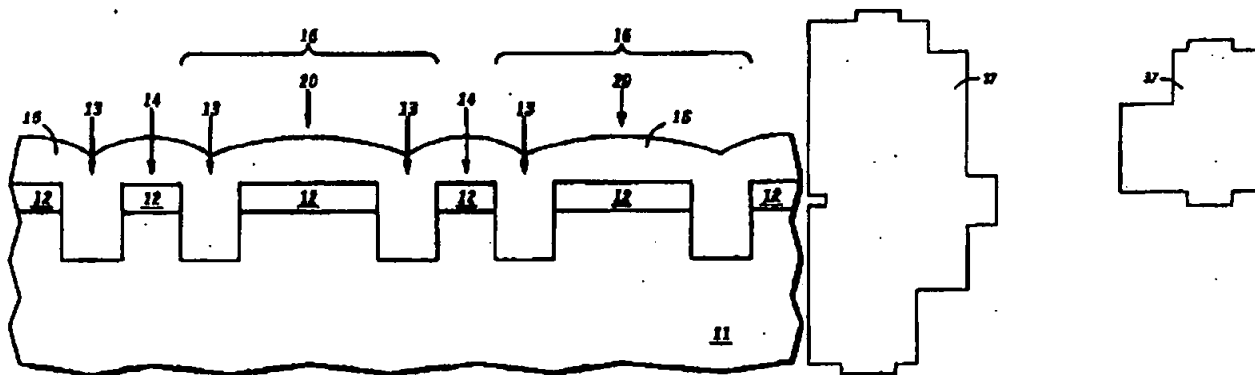
60 ダミー構造体 (n型ウェル領域に存在する)

61 ダミー構造体 (p型ウェル領域に存在する)

30

【図1】

【図4】

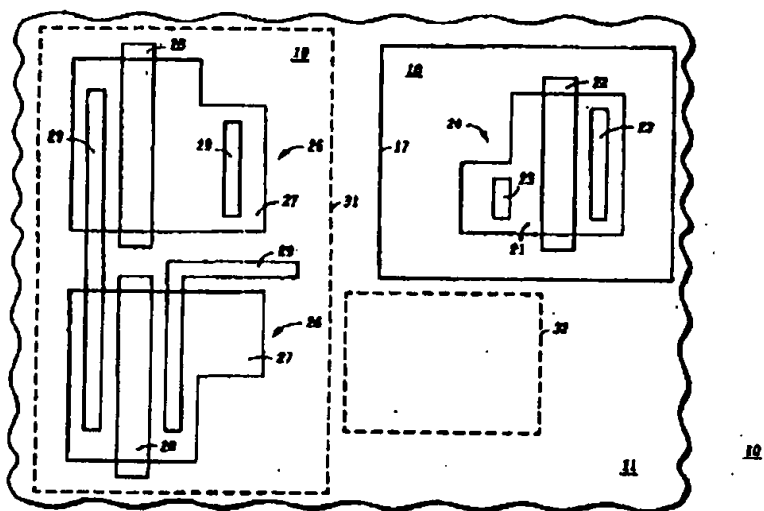


10

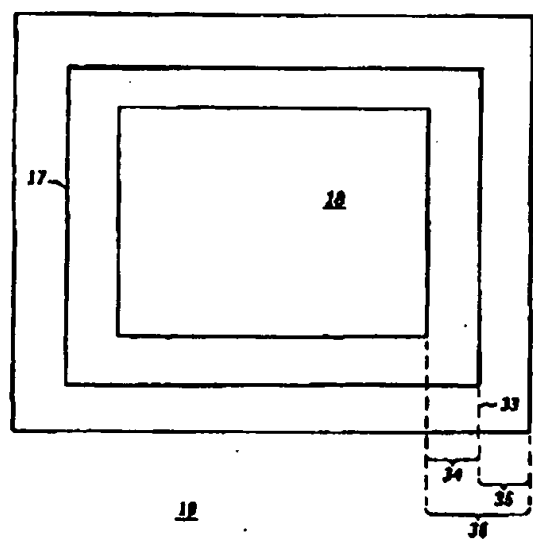
(7)

特開平10-92921

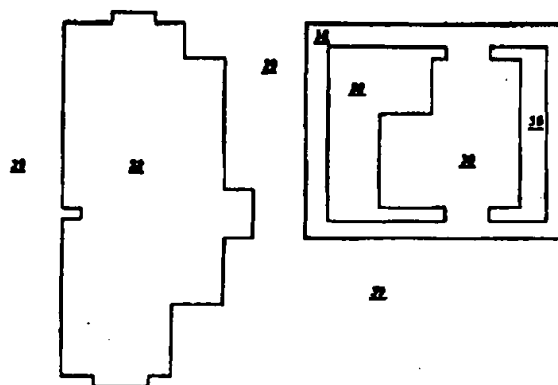
【図2】



【図3】



【図5】

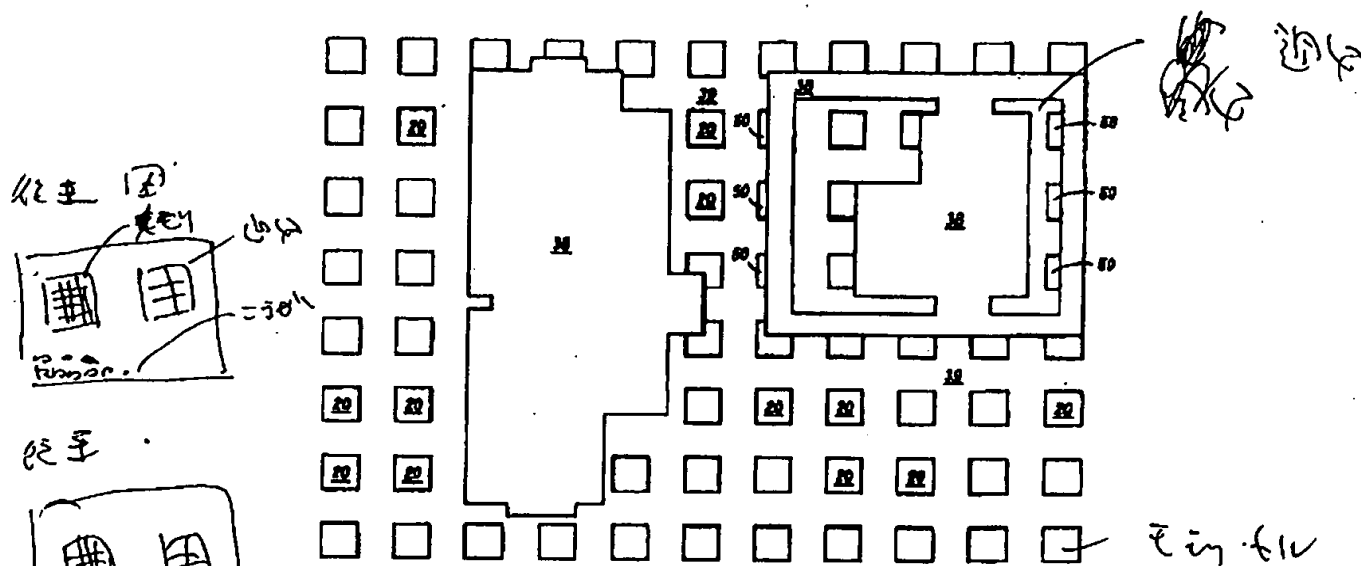




(8)

特開平10-92921

【図6】



【図7】

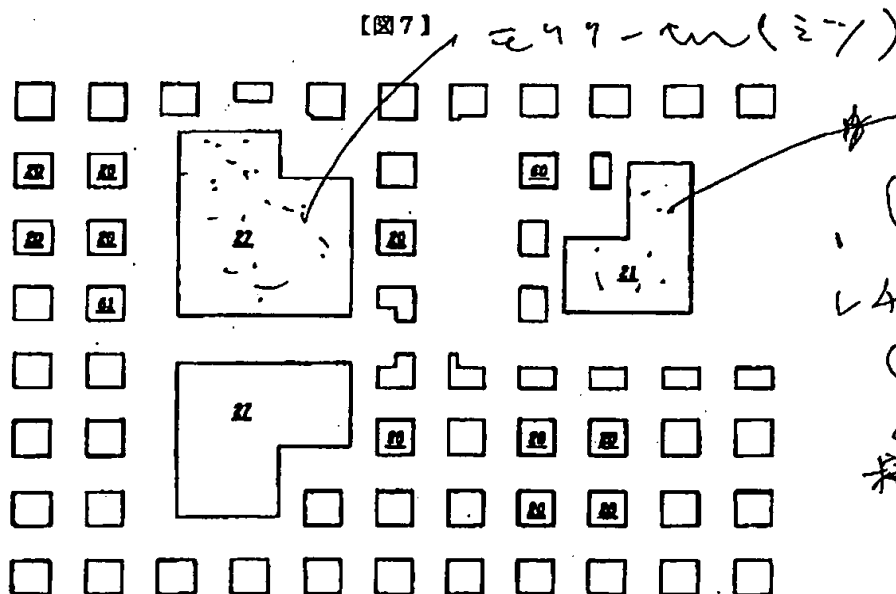


図6(1)  
図6(2)  
4つにわたって  
(図6(1)と(2))  
↓  
カズミの  
4つにわたって  
不可視

フロントページの続き

(72)発明者 ブラッドレイ・ビー・スミス  
アメリカ合衆国テキサス州オースチン、キ  
ングフィッシャー・クリーク604

(72)発明者 マシュー・エー・トンプソン  
アメリカ合衆国テキサス州ラウンド・ロッ  
ク、ビビアン・ドライブ2100

(72)発明者 ケビン・ケンプ  
アメリカ合衆国テキサス州ダラス、フォレ  
スト・ゲート・ドライブ12046

(72)発明者 ラジブ・ハー  
アメリカ合衆国イリノイ州ライル、アパー  
トメント1B、フォー・レイクス・アベニ  
ュー1833